

T 5/9/3

5/9/3

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

01764178 \*\*Image available\*\*

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 60-242678 [JP 60242678 A]

PUBLISHED: December 02, 1985 (19851202)

INVENTOR(s): TAKESHITA TETSUYOSHI

KURIHARA HAJIME

OKA HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
JP (Japan)

APPL. NO.: 59-098971 [JP 8498971]

FILED: May 17, 1984 (19840517)

INTL CLASS: [4] H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2  
(INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 397, Vol. 10, No. 104, Pg. 48, April  
19, 1986 (19860419)

#### ABSTRACT

PURPOSE: To obtain an amorphous nonvolatile memory, which has excellent holding characteristics and reproducibility and a large area and large capacitance and cost thereof is low, by using an amorphous silicon carbide film in place of an amorphous silicon nitride film.

CONSTITUTION: An insulating substrate 11, a lower electrode 12, an N(sup +) type 13, which is hydrogenated previously by amorphous silicon and to which phosphorus is doped to a high degree, and an N.type 14 to which phosphorus is doped similarly to a low degree are formed in the order. An silicon oxide film 15 in which amorphous silicon is oxidized through plasma anodizing, etc., a film 16, which consists of a hydrogenated amorphous silicon carbide film and contains carbon by 35atom% or more, and an upper electrode 17 are shaped in the order. Accordingly, a device having performance, which has not exist as nonvolatile memories, such as, a holding time of ten years or more, a writing time of 0.1.mu.sec or less, even fast erasing speed, a large area and large capacitance and low cost is obtained.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60242678 A**

(43) Date of publication of application: **02.12.85**

(51) Int. Cl.

**H01L 29/78**

(21) Application number: **59098971**

(22) Date of filing: **17.05.84**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **TAKESHITA TETSUYOSHI  
KURIHARA HAJIME  
OKA HIDEAKI**

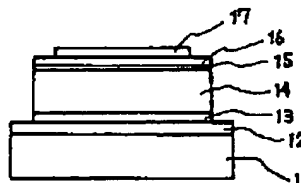
(54) **SEMICONDUCTOR MEMORY DEVICE**

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To obtain an amorphous nonvolatile memory, which has excellent holding characteristics and reproducibility and a large area and large capacitance and cost thereof is low, by using an amorphous silicon carbide film in place of an amorphous silicon nitride film.

CONSTITUTION: An insulating substrate 11, a lower electrode 12, an N<sup>+</sup> type 13, which is hydrogenated previously by amorphous silicon and to which phosphorus is doped to a high degree, and an N type 14 to which phosphorus is doped similarly to a low degree are formed in the order. An silicon oxide film 15 in which amorphous silicon is oxidized through plasma anodizing, etc., a film 16, which consists of a hydrogenated amorphous silicon carbide film and contains carbon by 35atom% or more, and an upper electrode 17 are shaped in the order. Accordingly, a device having performance, which has not exist as nonvolatile memories, such as, a holding time of ten years or more, a writing time of 0.1μsec or less, even fast erasing speed, a large area and large capacitance and low cost is obtained.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-242678

⑪ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号 庁内整理番号  
7514-5F

⑬ 公開 昭和60年(1985)12月2日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭59-98971

⑯ 出 願 昭59(1984)5月17日

⑰ 発 明 者 竹 下 哲 義 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑱ 発 明 者 栗 原 一 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑲ 発 明 者 岡 秀 明 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑳ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号  
㉑ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 半導体記憶装置

2. 特許請求の範囲

(1) 絶縁基板上に設けた導電性電極に接して非晶質シリコン、微結晶シリコンもしくは多結晶シリコンを形成、さらにシリコン酸化膜を形成し、該酸化膜上に炭素含有率35原子パーセント以上の非晶質、微結晶もしくは多結晶シリコン炭化膜を形成したことを特徴とする半導体記憶装置。

(2) 特許請求の範囲第1項記載の非晶質、微結晶もしくは多結晶シリコン炭化膜にボロンやガリウムなど元素周期表Ⅲ族元素を0.1ppmから100ppm添加したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔技術分野〕

本発明は非晶質や微結晶もしくは多結晶のシリ

コン(以下、非晶質シリコンで代表する。)を用いた不揮発性メモリーに関する。

〔従来技術〕

不揮発性メモリーとして酸化膜と窒化膜を半導体基板上に形成した所謂NOS構造は高密度配線が可能であり、内容の書き替えが容易に出来る等のすぐれた利点を数多く持つている。そのため近年、数多くの研究がなされており固体映像・記憶デバイス(電子通信学会技術報告、ED-82-138)やビデオディスク(IEEE Trans. on E. D., ED-28-854)などの応用が提案されている。しかし半導体基板として結晶シリコンを用いる限り大面積化して大容量にすることは難しく、非常に高コストとなる。それで低コストで大面積化が可能な非晶質シリコンを基板として用いることが提案されている(電子通信学会技術報告、88D-83-28)。金属-窒化膜-酸化膜-半導体基板型(以下、MNOSと略す。)ダイオードにおいて窒化膜の特性はメモリー込み特性や保持特性に大きな影響を与える。また基

板に非晶質シリコンなどを用いる限り高温でのプロセスを用いることは水素の離脱などのため不適当であり、プラズマ分解法による非晶質シリコン窒化膜の堆積が用いられている。しかしプラズマ分解法によるシリコン窒化膜は堆積条件によつて大きく変化し、 $Si/N$ 比が化学当量比と異なる。それゆゑに結合が不完全になりやすく低抵抗の窒化膜となつてしまい、 $MNOS$ ダイオードとしての保持特性や再現性に対して大きな問題となる。該非晶質シリコン窒化膜を高抵抗にするにはプラズマ分解用高周波電力を大きくすることや堆積時の基板温度を高くすることが考えられるが前者は装置が大きくなり高コストとなり後者は基板である非晶質シリコンに悪影響を及ぼしメモリとして再現性が問題となる。

#### 〔目的〕

本発明はこれらの欠点を除去するもので、非晶質不揮発性メモリとして保持特性や再現性がすぐれていて、大面積で大容量かつ低コストな非晶質不揮発性メモリを提供することを目的とする。

いて堆積したもので、13から16は同一真空槽内で真空を破ることなく堆積できる(以下、この構造によるものを $MNOS$ メモリと呼ぶ。)。ここで、本発明で用いた $a-SiC$ の堆積条件と従来より用いられている $a-SiN$ の一般的な堆積条件を比較する(表1に示す)。

	$a-SiC$	$a-SiN$
堆積温度	200~300℃	300~400℃
高周波電力	10~100W	100~1000W
堆積速度	100~3000Å/min	30~300Å/min

表1 堆積条件のちがい

表1より明らかなように一般的に $a-SiC$ 膜の方が堆積温度は低くてよく、かつ高周波電力は1ケタ位少なくすむ。しかも堆積速度は $a-SiC$ の方が速いため非常に低コストとなり、装置は小規模のもので十分である。また表1の条件で作製した膜の抵抗率に関しても $a-SiC$ は $a-SiN$ と同質以上の高抵抗となる。

さらに、電気的特性を第2図と第3図に示す。

#### 〔概要〕

すなわち、該非晶質シリコン窒化膜(以下、 $a-SiN$ と略す。)にかえて非晶質シリコン炭化膜(以下、 $a-SiC$ と略す。)を用いることで、すぐれた非晶質不揮発性メモリが提供できる。

#### 〔実施例〕

第1図は本発明の実施例の非晶質不揮発性メモリの断面図である。11はガラス、石英など絶縁基板、12はアルミニウム、モリブデン、クロム、ITOなど下部電極、13と14は非晶質シリコンで水素化されており、13はリン高ドーブの $n^+$ 型、14はリン低ドーブの $n$ 型で膜厚はそれぞれ100~2000Åと2000~20000Åである。15はプラズマ陽極酸化などにより非晶質シリコンを酸化したシリコン酸化膜で厚さ5~100Å、16は水素化非晶質シリコン炭化膜で炭素含有率35原子%以上のものであり厚さ300~3000Å、17は上部電極でアルミニウム、モリブデン、クロム、ITOなどである。13、14、16はいずれもプラズマ分解法を用

第2図は本発明による $a-SiC$ を用いた不揮発性メモリ( $MNOS$ メモリ)の容量対電圧曲線のシフト例であり、21は書き込み前の曲線であり、22は1.0μsec幅で高さ15Vのパルス書き込み後の曲線である。書き込み時間は1.0μsecで十分である。比較として $a-SiN$ を用いたメモリ( $MNOS$ メモリ)の容量対電圧曲線のシフト例を第4図に示す。41は書き込み前の曲線であり、42は1.0μsec幅で高さ15Vのパルス書き込み後の曲線である。従来の $a-SiN$ を用いたメモリでも書き込み時間1.0μsecまでは十分に回答できるが、書き込み前とのシフトの量を比べてみると明らかに本発明による $a-SiC$ を用いたメモリの方が大きく、本発明によるメモリはさらに高速での書き込みに対応出来る。不揮発性メモリに要求されている書き込み時間が短い(少なくとも1.0μsec以下)という条件に本発明による例は十分に満足しており、さらに短い0.1~0.01μsecという書き込み時間にも十分に回答しうるものである。

不揮発性メモリーとして、書き込み時間以上に重要な要求条件として保持時間の問題がある。保持時間は出来るだけ長い方がよく、数年以上であることが望ましい。第3図は本発明装置のフラットバンド電圧を経過時間に対して示したものである。書き込み条件は幅 $1.0\mu\text{sec}$ で高さ $15\text{V}$ のパルスによつていて、その後の放電時間を横軸に取つてゐる。書き込み前のフラットバンド電圧は $2\text{V}$ 程度であるので第3図の51のグラフより保持時間(ここではフラットバンド電圧が上記の $2\text{V}$ との差で初期電圧の $1/2$ となる時間とする。)は10年(3600日位)以上となり、不揮発性メモリーとして十分に使用し得る。比較として従来の $\alpha\text{-SiN}$ を用いた $\text{MNOS}$ 型メモリーでの保持時間の特性を第5図に示す。51が第3図と同様に書き込みパルスを $15\text{V}$ 、幅 $1.0\mu\text{sec}$ としたもので保持時間は100日以下となり用をなさず、書き込みパルスを $15\text{V}$ 、幅 $5.5\mu\text{sec}$ として第3図、52のように初期のフラットバンド電圧を本発明装置と同じく $4\text{V}$ 程度としても保持時間は

1000日(27年位)以下である。さらに本発明による装置は消去に関しても非晶質 $\text{MNOS}$ 型より短時間に問題なく消去可能である。

以上、本発明に用いた装置の電気的特性例は第1図で15のシリコン酸化膜の厚さ $35\text{\AA}$ 、16の非晶質シリコン炭化膜は炭素含有量が75原子%で厚さ $850\text{\AA}$ である装置によつてゐる。膜厚や炭素含有量に関しては第1図を説明したときに用いた数値の範囲であるなら良好な特性を出し得るが電気的特性例は其中で比較的良好的ものを示してある。また第1図で16の炭化膜にボロンやガリウムなど元素周期表Ⅲ族元素を $0.1\text{ppm}$ から $100\text{ppm}$ 、特に $7\text{ppm}$ 程度添加することで保持時間は長くなり、結果的に短いパルスにて書き込んでも数年は保持出来る。第1図で16の炭化膜の炭素含有量は35原子パーセント以上、特に50原子パーセントから85原子パーセントで炭化膜製造条件を選ぶことで良好な結果が得られる。

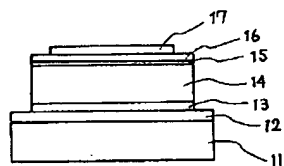
#### 〔効果〕

以上の実施例に示されるように $\alpha\text{-SiO}_2$ を用いた非晶質シリコン不揮発性メモリーは保持時間10年以上、書き込み時間 $0.1\mu\text{sec}$ 以下であり、消去スピードも速く、しかも大面積、大容量かつ低コストと不揮発性メモリーとして過去にない性能を持つ装置である。

#### 4. 図面の簡単な説明

第1図は本発明のメモリー構造の断面図。第2図、第3図は本発明の非晶質メモリーでの電気的特性図。第4図、第5図は従来の非晶質メモリーでの電気的特性図である。

以 上

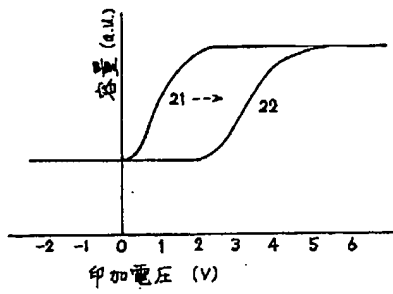


第1図

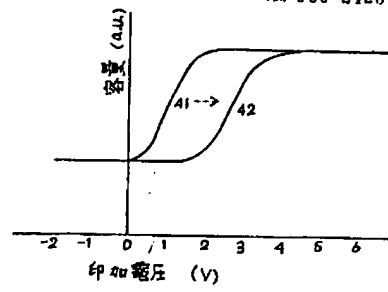
出願人 株式会社藤防精工舎

代理人 弁理士 最上

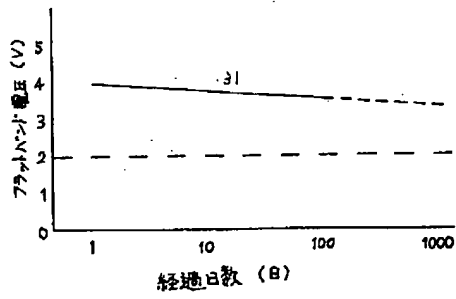




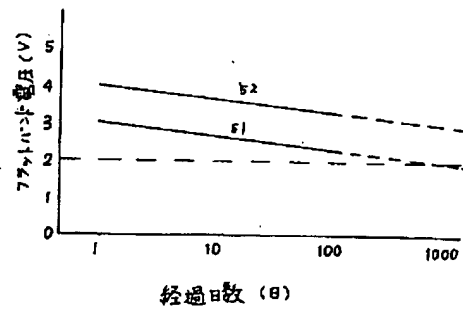
第 2 図



第 4 図



第 3 図



第 5 図

平成 4. 2. 18 発行

手続補正書 (自発)

平成 3年 5月16日

特許法第17条の2の規定による補正の掲載

平 4. 2. 18発行

昭和 59 年特許願第 98971 号 (特開昭  
60-242678 号, 昭和 60 年 12 月 2 日  
発行 公開特許公報 60-2427 号掲載) につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 7 ( 2 )

Int. Cl. '5	識別 記号	庁内整理番号
H01L 29/788 27/115 29/792		7514-4M H01L 29/78 -371 8831-4M H01L 27/10 -434

特許庁長官 植 松 敏 殿

1. 事件の表示  
昭和 59 年 特 許 願第 98971 号
2. 発明の名称  
半導体記憶装置

3. 補正する者  
事件との関係 出願人  
東京都新宿区西新宿2丁目4番1号  
(236) セイコーエプソン株式会社  
代表取締役 中 村 恒 也
4. 代 理 人  
〒163 東京都新宿区西新宿2丁目4番1号  
セイコーエプソン株式会社内  
(9338) 弁理士 鈴木 喜三郎  
連絡先 ☎ 3348-8531 内線 2610 ~ 2615



5. 補正により増加する発明の数  
0
6. 補正の対象  
明 細 書 (特許請求の範囲, 発明の詳細な説明)
7. 補正の内容  
別紙の通り

手 続 補 正 書

「酸化シリコン膜」と補正する。

1. 特許請求の範囲を別紙の通り補正する。
2. 明細書第1頁最終行目~第2頁2行目、  
「本発明は〜不揮発性メモリーに関する。」を、  
「本発明な非晶質、微結晶、多結晶シリコン(以下、非晶質シリコンと示す。)を用いた不揮発性の半導体メモリーに関する」と補正する。
3. 明細書第3頁5行目、10行目、第4頁2行目、  
「シリコン窒化膜」を、  
「窒化シリコン膜」と補正する。
4. 明細書第3頁2行目、下から5行目、  
「シリコン炭化膜」を、  
「炭化シリコン膜」と補正する。
5. 明細書第4頁5行目、  
「非晶質不揮発性メモリー」を、  
「不揮発性の半導体メモリー」と補正する。
6. 明細書第8頁5行目、  
「シリコン酸化膜」を、

7. 明細書第8頁2行目~7行目、  
「以上の〜装置である。」を、  
「以上の実施例に示されるように本発明においては、非晶質SiCを用いるので、不揮発性の半導体メモリーとして、保持時間10年以上、書き込み時間0.1μsec以下であり、消去スピードも速く、大面積、大容量、かつ、低コストを実現できるものである。

以 上

代理人 鈴木喜三郎

特許請求の範囲

1. 絶縁基板上に下部電極が形成され、該下部電極上にはシリコン膜が形成され、該シリコン膜上には酸化膜が形成され、該酸化膜上には炭素含有率35原子パーセント以上の炭化シリコン膜が形成されてなることを特徴とする半導体記憶装置。
2. 該シリコン膜または、該炭化シリコン膜に、ボロン、ガリウム等の周期表Ⅲ族元素を0.1ppm～100ppm添加したことを特徴とする半導体記憶装置。

手続補正書

1. 手続補正書第4項

- 「4. 明細書第3頁2行目、下から5行目、  
「シリコン炭化膜」を、  
「炭化シリコン膜」と補正する。」とあるを、
- 「4. 明細書第4頁3行目、下から5行目、  
「シリコン炭化膜」を、  
「炭化シリコン膜」と補正する。」

と補正する。

2. 手続補正書第7項

- 「7. 明細書第9頁2行目～7行目、  
「以上の～装置である。」を、  
「以上の実施例に示されるように本発明においては、非品質SiCを用いるので、不揮発性の半導体メモリーとして、保持時間10年以上、書き込み時間0.1μsec以下であり、消去スピードも速く、大面積、大容量、かつ、低コストを実現できるものである。」とあるを、
- 「7. 明細書第9頁2行目～7行目、

平成 4. 2. 18 発行

手続補正書(方式)

平成 3年 8月20日

特許庁長官 深沢 巨 殿



1. 事件の表示  
昭和 59 年 特 許 願 第 98971 号

2. 発明の名称  
半導体記憶装置

3. 補正をする者

事件との関係 実用新案登録出願人  
東京都新宿区西新宿2丁目4番1号  
(236) セイコーエプソン株式会社  
代表取締役 安川 英 昭

4. 代 理 人  
〒163 東京都新宿区西新宿2丁目4番1号  
セイコーエプソン株式会社内  
(9338) 弁理士 鈴木 喜三郎  
連絡先 電 3348-8531内線 2610 ~ 2615



5. 補正命令の日付  
平成 3年 8月 6日

6. 補正の対象  
平成3年5月16日付提出の手続補正書の  
補正の内容の欄第4項および第7項

7. 補正の内容

別紙の通り

方式  
改正



「以上の～装置である。」を、

「以上の実施例に示されるように本発明においては、非品質SiCを用いるので、不揮発性の半導体メモリーとして、保持時間10年以上、書き込み時間0.1μsec以下であり、消去スピードも速く、大面積、大容量、かつ、低コストを実現できるものである。」と補正する。」と補正する。

以 上

代理人 鈴木 喜三郎